

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010059002 A
(43)Date of publication of application: 06.07.2001

(21)Application number: 990066380
(22)Date of filing: 30.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: SONG, CHANG ROK

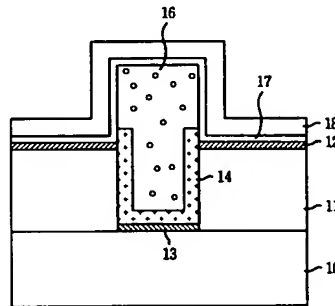
(51)Int. Cl. H01L 21/8242

(54) METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a capacitor of a semiconductor device is provided, which does not need a specific process for forming a seed layer in using an Electro Chemical Deposition method and prevents a diffusion preventing film from being degraded in a next thermal process.

CONSTITUTION: The method includes eight steps. The first step is to form a contact hole for an upper electrode which penetrates an interlayer dielectric film and exposes a silicon substrate. The second step is to form an iridium film(14) on the surface of a resultant of the first step. The third step is to form an amorphous Si-Ir-O film(13) to the boundary surface between the silicon substrate and the iridium film by performing the first thermal process under an oxygen atmosphere. The fourth step is to form a sacrificial film on the upper portion of a resultant of the third step. The fifth step is to define the lower electrode area by selectively etching the sacrificial film, but expose the iridium film into the contact hole. The sixth step is to form a conductive film(16) for the lower electrode using an Electro Chemical Deposition method on the upper portion of the exposed iridium film. The seventh step is to remove the sacrificial film and the exposed iridium film sequentially. The eighth step is to sequentially form a dielectric film and a conductive film(18) for the upper electrode on the upper portion of a resultant of the seventh step.



COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/8242	(11) 공개번호 (43) 공개일자	특2001-0059002 2001년07월06일
(21) 출원번호	10-1999-0066380	
(22) 출원일자	1999년12월30일	
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1 송창록	
(72) 발명자	서울특별시관악구봉천6동100-367	
(74) 대리인	특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최중식, 특허 법인 신성 박정후, 특허법인 신성 정지원	

심사청구 : 없음

(54) 반도체 소자의 캐패시터 형성방법

요약

본 발명은 반도체 제조기술에 관한 것으로, 특히 고유전물질 또는 감유전물질을 유전체막으로 사용하는 고집적 메모리 소자의 캐패시터에 관한 것으로, ECD법을 적용하면서 별도의 시드층 형성공정을 피할 수 있고, 후속 열 공정에 의한 확산방지막의 열화를 방지할 수 있는 캐패시터 형성방법을 제공하는데 그 목적이 있다. 상기 목적을 달성하기 위한 본 발명은, 소정의 총간절연막을 관통하여 실리콘기판을 노출시키는 하부전극용 콘택홀을 형성하는 제1 단계; 상기 제1 단계를 마친 전체 구조 표면을 따라 이리듐막을 형성하는 제2 단계; 산소 분위기에서 제1열공정을 실시하여 상기 실리콘기판과 상기 이리듐막의 계면에 비정질의 Si-Ir-O막을 형성하는 제3 단계; 상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계; 상기 희생막을 선택식각하여 하부전극 영역을 정의하고, 상기 콘택홀 내의 상기 이리듐막이 노출되도록 하는 제5 단계; 노출된 상기 이리듐막 상부에 전기화학증착법을 사용하여 하부전극용 전도막을 형성하는 제6 단계; 상기 희생막을 제거하고, 노출된 상기 이리듐막을 제거하는 제7 단계; 및 전체 구조 상부에 유전체막 및 상부전극용 전도막을 차례로 형성하는 제8 단계를 포함하여 이루어진다.

도면

도 1f

색인어

이리듐막, Si-Ir-O층, 하부전극용 전도막

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 본 발명의 일실시예에 따른 캐패시터 형성 공정도.

*도면의 주요 부분에 대한 부호의 간단한 설명

- | | |
|--------------|----------------|
| 10 : 반도체 기판 | 11 : 총간절연막 |
| 12 : 실리콘 질화막 | 13 : Si-Ir-O층 |
| 14 : 이리듐막 | 16 : 하부전극용 전도막 |
| 17 : 고유전체막 | 18 : 상부전극용 전도막 |

발명의 상세한 설명

발명의 목적

본명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조기술에 관한 것으로, 특히 고유전물질 또는 강유전물질을 유전체막으로 사용하는 고집적 메모리 소자의 캐패시터에 관한 것이다.

현재 반도체 메모리 소자는 크게 RAM(Random Access Memory)과 ROM(Read only Memory)로 구분할 수가 있다. 특히, RAM은 다시 다이내믹램(Dynamic RAM, 이하 DRAM이라 칭함)과 스태틱램(Static RAM)으로 나뉘지며, 이 중에서도 DRAM은 1개의 트랜지스터(transistor)와 1개의 캐패시터로 1개의 단위셀(unit cell)이 구성되어 집적도에서 가장 유리하기 때문에 메모리 시장을 주도하고 있다.

한편, 고집적화의 진전으로 3년에 메모리의 용량이 4배씩 증가되어 현재에는 256M DRAM이나 1G DRAM이 양산단계에 근접하고 있다.

이와 같이 DRAM의 집적도가 높아질수록 메모리 셀의 면적은 256M DRAM의 경우 $0.5\mu m^2$, 셀의 기본구성요소 중의 하나인 캐패시터의 면적은 $0.3\mu m^2$ 이하로 작아져야 한다. 이러한 이유로 256M DRAM 이상에서는 종래의 반도체 공정에서 사용되는 기술이 한계를 보이기 시작하고 있다.

즉, 64M DRAM에서 지금까지 사용되어 온 유전체로인 SiO_2/Si_3N_4 등을 사용하여 캐패시터를 제조할 경우 필요한 캐패시턴스를 확보하기 위해서는 박막의 두께를 최대한 얇게 하더라도 캐패시터가 차지하는 면적은 셀 면적의 6배가 넘어야 한다.

이러한 이유로 캐패시턴스의 확보를 위해 그 표면적을 늘리는 방안이 제시되고 지금까지 이에 대한 연구가 계속되고 있다. 캐패시터의 하부전극 표면적을 증가시키기 위해서 3차원 구조의 스택 캐패시터 구조 또는 트렌치형 캐패시터 구조 또는 반구형 폴리실리콘막을 사용하는 기술 등 여러 가지 기술이 제안된 바가 있다.

그러나, 256M DRAM 이상의 소자에서는 기존의 ONO(Oxide Nitride Oxide)재료의 유전물질로는 캐패시턴스를 늘리기 위해 더 이상 두께를 줄일 수도 없고, 표면적을 늘리기 위해 그 구조를 더 복잡하게 만드는 경우 공정과정이 너무 복잡하여 제조단가의 상승과 수율이 떨어지는 문제점을 수반하게 된다.

이와 같은 문제점을 해결하기 위해서, 유전물질로써 종래 ONO재료의 유전물질에 비해 보다 높은 유전상수를 갖는 탄탈륨 산화막(Ta_2O_5), (Ba, Sr)TiO₃(BST)등의 고유전물질을 캐패시터의 유전체막으로 채용하게 되었다.

그런데, 이와 같은 고유전물질의 유전상수는 캐패시터의 하부전극에 따라 크게 달라지게 되며, 지금까지의 연구결과로는 금속 물질 위에 증착했을 때 가장 우수한 유전특성을 나타낸다고 알려져 있다.

따라서, 종래에 사용하던 폴리실리콘 대신 백금(Pt), 이리듐(Ir), 로듐(Rh), 루테튬(Ru) 등의 금속이 고유전체 캐패시터의 전극재료로 거론되고 있다.

한편, 종래 기술에 따른 고유전체 캐패시터에서는 도핑된 폴리실리콘을 사용하여 하부전극과의 전기적 연결을 위한 콘택플러그를 형성한 후 콘택플러그와 하부전극 사이에 실리콘(Si)과 산소(O₂)의 확산을 방지하기 위하여 TiN, TaN, TiAlN, TaSiN과 같은 질화막(Nitride)계의 확산방지막을 사용하여 왔다.

그러나, 이들 질화막계 확산방지막은 고유전체막 형성 후 고온에서 진행되는 후 열처리 동안 산화를 일으켜 저유전층을 형성하게 되어 고유전체막의 유전율을 감소시키는 요인으로 작용하며 또한, 부피팽창에 의해 캐패시터 구조에 스트레스를 가하는 문제점이 있다. 이러한 문제점을 고려하여 고유전체막 형성 후 실시하는 후속 열처리 시 온도를 낮추는 경우, 유전체 특성이 저하되는 문제점이 있었다.

또한, 통상적으로 이와 같은 질화막계 확산방지막은 옴릭콘택(ohmic contact)을 위하여 폴리실리콘 플러그와의 사이에 티타늄실리사이드나 코발트실리사이드와 같은 옴릭접촉층을 사용하는데, 이는 전체 공정 수를 증가시키는 요인으로 작용하고 있다.

한편, 통상적으로 스택(stack) 구조를 가지는 고유전체 캐패시터 형성 시 보다 우수한 고유전율의 캐패시터를 얻기 위해서는 고유전체막과의 접촉면적 증가를 위해 하부전극의 높이를 높게 형성해야 하는데, 하부전극 재료로 사용되는 백금, 이리듐, 루테튬과 같은 금속은 그 식각이 용이하지 않은 문제점이 있다. 이러한 문제점을 고려하여 전기화학증착(Electro Chemical Deposition, ECD)법을 사용하여 하부전극으로 사용하려는 시도가 있었다. 그러나, 이와 같이 ECD법을 사용한 하부전극 형성공정은 화학 기상 증착(Chemical Vapor Deposition, CVD)법 또는 물리 기상 증착(Physical Vapor Deposition, PVD)법을 사용한 별도의 시드층(seed layer)형성공정을 필요로 하므로 이에 따른 공정 수 증가에 의해 소자의 생산성이 저하되는 문제점이 있다.

한편, 이러한 문제점은 강유전체막을 사용하는 것을 제외하고는 일반 고유전체 캐패시터와 유사한 강유전체 캐패시터 형성공정 시에도 적용되고 있다.

본명이 이루고자하는 기술적 과제

본 발명은 ECD법을 적용하면서 별도의 시드층 형성공정을 피할 수 있고, 후속 열공정에 의한 확산방지막의 열화를 방지할 수 있는 캐패시터 형성방법을 제공하는데 그 목적이 있다.

본명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 소정의 중간절연막을 관통하여 실리콘기판을 노출시키는 하부전극용 콘택층을 형성하는 제1 단계; 상기 제1 단계를 마친 전체 구조 표면을 따라 이리듐막을 형성하는 제2 단계; 산소 분위기에서 제1 열공정을 실시하여 상기 실리콘기판과 상기 이리듐막의 계면에 비정질의 Si-Ir-O를 형성하는 제3 단계; 상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계; 상기 희생막을 선택식각하여 하부전극 영역을 정의하고, 상기 콘택홀 내의 상기 이리듐막이 노출되도록 하는 제5 단계; 노출된 상기 이리듐막 상부에 전기화학적증착법을 사용하여 하부전극용 전도막을 형성하는 제6 단계; 상기 희생막을 제거하고, 노출된 상기 이리듐막을 제거하는 제7 단계; 및 전체 구조 상부에 유전체막 및 상부전극용 전도막을 차례로 형성하는 제8 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 도 1f는 본 발명의 일 실시예에 따른 고유전체 캐패시터 형성 공정도이다.

본 실시예는 먼저, 도 1a에 도시된 바와 같이 실리콘기판(10)에 대해 모스 트랜지스터, 비트라인 등을 포함한 소정의 하부층 공정을 진행하고, 그 과정에서 형성된 실리콘 산화막(중간절연막)(11) 상부에 실리콘 질화막(SiN_x)(12)을 증착한 후, 실리콘 질화막(12) 및 실리콘 산화막(11)을 차례로 선택식각하여 실리콘 기판(10)에 형성된 모스 트랜지스터의 집합이 노출되도록 콘택홀을 형성한다. 이때, 실리콘 질화막(12)은 300 ~ 1000 Å 정도의 두께로 형성하며, 실리콘 산화막(11)에 비해 식각선택비가 높은 실리콘산화질화막(SiO₂N₂)으로 대체할 수 있다.

다음으로, 도 1b에 도시된 바와 같이 전체 구조 상부 표면을 따라 화학 기상 증착(Chemical Vapor Deposition, CVD)법으로 이리듐(Ir)막(14)을 100 ~ 500 Å 정도의 두께로 얇게 증착한 후 산소 분위기 열처리를 실시하여 실리콘기판(10)과 이리듐막(14)의 계면에 50 ~ 200 Å 정도의 두께를 가지는 비정질의 Si-Ir-O층(13)을 형성한다. 여기서, Si-Ir-O층(13)은 이후 형성될 고유전체막 형성 후 실시하는 산소 분위기의 열공정 시 산소가 실리콘기판(10)으로 확산되는 것을 방지할 수 있는 확산방지막의 역할을 수행하며, 동시에 하부전극의 오믹콘택을 제공하게 된다.

다음으로, 도 1c에 도시된 바와 같이 전체 구조 상부에 2000 ~ 15000 Å 정도의 두께로 희생산화막(15)을 증착한 후 캐패시터 하부전극이 형성될 영역의 이리듐막(14)이 노출되도록 희생산화막(15)을 선택식각한다. 이때, 희생산화막(15) 물질로는 USG(undoped silicate glass) 또는 PSG(phospho silicate glass)를 사용하여 형성한다.

다음으로, 도 1d에 도시된 바와 같이 ECD법으로 원하는 두께만큼의 하부전극용 전도막(16)을 형성한다. 이때, 하부전극용 전도막(16)은 백금(Pt)을 사용하여 실리콘 질화막(13)과 접촉된 이리듐막(14) 상부에서 2000 ~ 15000 Å 정도의 두께로 형성한다. 이때, ECD법은 노출된 이리듐막(14)을 시드층으로 사용하여 실시한다.

다음으로, 도 1e에 도시된 바와 같이 희생산화막(15)을 제거하고, 노출된 이리듐막(14)을 선택적으로 제거한다. 이어서, ECD법으로 형성한 하부전극용 전도막(16)의 안정화를 위하여 300 ~ 850°C 온도의 질소(N₂) 또는 아르곤(Ar) 분위기에서 5 ~ 180초 동안 급속열공정(Rapid Thermal Process, RTP)을 실시하여 하부전극용 전도막(16) 패턴을 형성한다.

계속하여, 도 1f에 도시된 바와 같이 CVD법을 사용하여 전체 구조 상부에 고유전체막(17)을 80 ~ 400 Å 정도의 두께로 형성한 후 그 상부에 상부전극용 전도막(18)을 CVD법을 사용하여 300 ~ 1000 Å 정도의 두께로 형성한다. 이어서, 상부전극용 전도막(18)과 고유전체막(17)을 안정화시키기 위하여 550 ~ 850°C 정도의 온도에서 산소/질소(또는 아르곤)의 혼합기체 분위기의 고온 열공정을 실시하여 반도체 소자의 고유전체 캐패시터 형성공정을 완료한다. 이때, 고유전체막(17) 형성을 위한 물질로는 BST, Ta₂O₅ 등을 사용하며, 상부전극용 전도막(18) 물질로는 백금, 이리듐, 루테튬과 같은 물질을 사용한다.

상기와 같이 이루어지는 본 발명은, 이리듐막과 실리콘기판 표면의 계면에 형성된 Si-Ir-O층이 확산방지막 및 오믹접촉층의 역할을 동시에 수행하도록 하고, 또한 이리듐막이 하부전극용 전도막을 ECD법으로 형성함에 있어서 시드층의 역할까지 수행하도록 함으로써, 전체 공정 수를 감소시켰다. 또한, Si-Ir-O층은 고온의 후속 열공정 시 저유전층이 형성되지 않는 내산화 특성을 가진다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

전술한 본 실시예에서는, 캐패시터의 유전체막으로 고유전체막을 사용하였으나, (Sr, Bi)Ta₂O₇(SBT), Pb(Zr,Ti_{1-x})O₃(PZT)와 같은 강유전체를 사용할 때도 본 발명은 적용된다. 또한, ECD법을 적용하여 하부전극용 전도막 물질은 백금막으로 형성하였으나, 이리듐, 루테튬과 같은 금속으로도 그 적용이 가능하다.

발명의 효과

본 발명은 공정 수를 줄여 캐패시터 형성공정을 단순화하고, Si-Ir-O층의 적용으로 후속 열공정을 충분히 높은 고온에서 실시할 수 있어 유전체 특성 및 캐패시터 특성을 개선하는데 효과가 있다.

(5) 청구의 범위

청구항 1. 소정의 중간접연막을 관통하여 실리콘기판을 노출시키는 하부전극용 콘택홀을 형성하는 제1 단계;

상기 제1 단계를 마친 전체 구조 표면을 따라 이리듐막을 형성하는 제2 단계;

산소 분위기에서 제1열공정을 실시하여 상기 실리콘기판과 상기 이리듐막의 계면에 비정질의 Si-Ir-O막을 형성하는 제3 단계;

상기 제3 단계를 마친 전체 구조 상부에 희생막을 형성하는 제4 단계;

상기 희생막을 선택식각하여 하부전극 영역을 정의하고, 상기 콘택홀 내의 상기 이리듐막이 노출되도록 하는 제5 단계;

노출된 상기 이리듐막 상부에 전기화학증착법을 사용하여 하부전극용 전도막을 형성하는 제6 단계;

상기 희생막을 제거하고, 노출된 상기 이리듐막을 제거하는 제7 단계; 및

전체 구조 상부에 유전체막 및 상부전극용 전도막을 차례로 형성하는 제8 단계를 포함하여 이루어지는 반도체 소자의 캐패시터 형성방법.

청구항 2. 제1항에 있어서,

상기 제7 단계 수행 후,

상기 하부전극용 전도막을 안정화시키기 위한 제2열공정을 실시하는 제9 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3. 제1항 또는 제2항에 있어서,

상기 유전체막이 고유전체막 또는 강유전체막임을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 4. 제1항에 있어서,

상기 이리듐막은 화학기상증착법을 사용하여 100 ~ 500 Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 5. 제2항에 있어서,

상기 제9 단계는,

300 ~ 850°C 정도 온도의 질소 또는 아르곤 분위기에서 5 ~ 180초 동안 급속열공정을 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 6. 제1항 또는 제5항에 있어서,

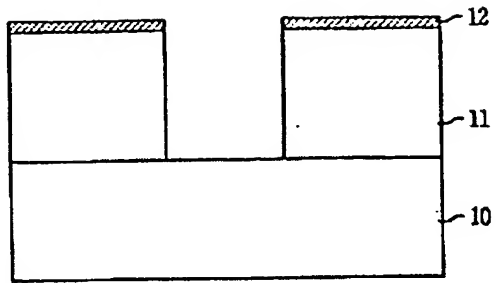
상기 Si-Ir-O막은 50 ~ 200 Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 7. 제1항 또는 제2항에 있어서,

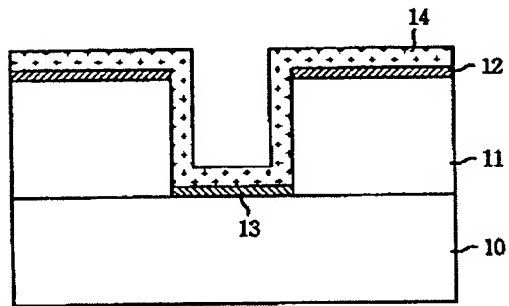
상기 하부전극용 전도막 및 상기 상부전극용 전도막은 백금, 이리듐, 루테튬 중 어느 하나인 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

도면

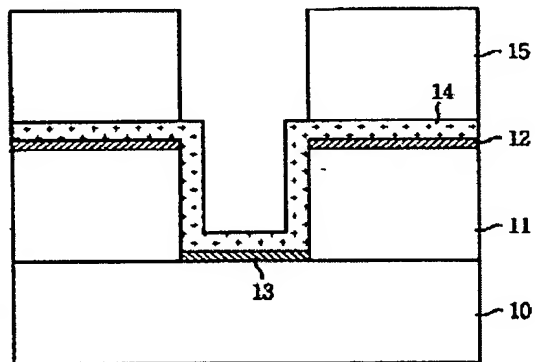
도면a



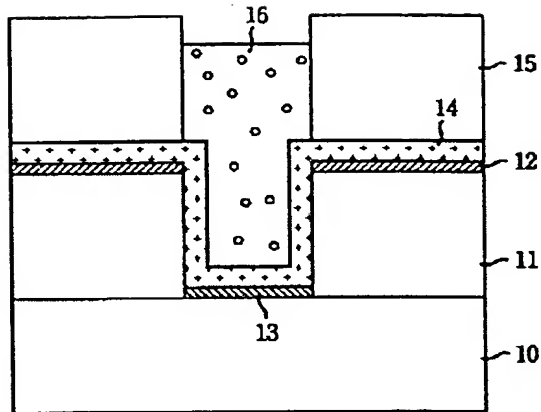
도면b



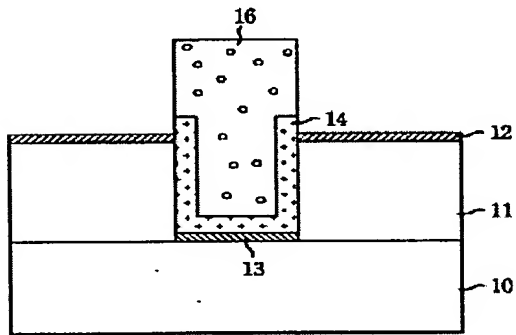
도면c



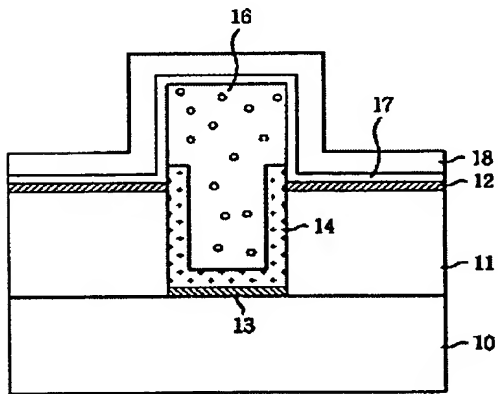
도 1d



도 1e



도 1f



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.